

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

COPYRIGHT: (C) 1984, JPO&Japio

=> d his

(FILE 'JPO' ENTERED AT 10:20:54 ON 25 JAN 1999)  
DEL HIS Y  
L1 108 S ANTIFUSE OR ANTI-FUSE  
L2 17 S L1 AND VOLTAGE AND PROGRAM?  
L3 0 S L2 AND (REFERENCE OR BIAS)  
L4 2 S L2 AND RESISTOR

=> d cit ab 2

2. JP359105354A, Jun. 18, 1984, SEMICONDUCTOR DEVICE; ROBAATO, DEII  
RANGU,  
INT-CL: H01L27/08; G11C29/00; H01L27/10

JP359105354A

L4: 2 of 2

ABSTRACT:

PURPOSE: To reduce the occupation area of a **program** circuit to cut and connect a fuse or a redundant element and thusunnecessary a large transistor to supply **program** current by positively utilizing the latch-up phenomenon of a complementary type MOS transistor.

CONSTITUTION: An MOS Tr Q<SB>1</SB> turns ON and OFF by a logic signal P<SP>-</SP>. Now, when the signal P<SP>-</SP> is at a low level, the

MOST

Tr Q<SB>1</SB> turns ON and supplies current to a P-well 2 via a resistor R<SB>p</SB> existent in the P-well region 2 and via the base of a proper parasitic N-P-N Tr 14 in a CMOS structure. The base current of this N-P-N Tr 14 triggers a parasitic thyristor formed by a P-N-P Tr 17 adjacent thereto together, and the ON-resistance of this parasitic thyristor is set at 10Ω; or less; therefore when this current exceeds the critical level, the fuse F is fused, and then the parasitic thyristor automatically turns OFF. When this fuse is an **anti-fuse**, it is necessary to exceed a breakdown voltage.

COPYRIGHT: (C) 1984, JPO&Japio

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭59—105354

⑫ Int. Cl.<sup>3</sup>  
H 01 L 27/08  
G 11 C 29/00  
H 01 L 27/10

識別記号  
6655—5F  
7922—5B  
6655—5F

⑬ 公開 昭和59年(1984)6月18日  
発明の数 1  
審査請求 有

(全 9 頁)

④ 半導体装置

⑤ 特願 昭57—214609  
⑥ 出願 昭57(1982)12月9日  
⑦ 発明者 ロバート・ディー・ラング

川崎市幸区堀川町72東京芝浦電  
気株式会社堀川町工場内  
⑧ 出願人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑨ 代理人 弁理士 則近義佑 外1名

明細書  
1. 発明の名称 半導体装置  
2. 特許請求の範囲

前1項記載の半導体装置と、この基板に形成された前2項記載の半導体領域と、前記第1項記載の半導体装置に一对の不純物領域が形成されかつ第2項記載のチャネルを有する第1の境界効果トランジスタと、前記第2項記載の半導体領域に一对の不純物領域が形成されかつ第1項記載のチャネルを有する第2の境界効果トランジスタ及び第2項記載の接続領域と、この接続領域と前記第1の境界効果トランジスタの一方の不純物領域を接続する接続手段と、前記第1の境界効果トランジスタの他方の不純物領域に接続された第1の電源と、前記第2の境界効果トランジスタの一方の不純物領域に接続された第2の電源と、前記第1の電源から第2の電源への送電経路に導入された接続手段とを具備したことを特徴とする半導体装置。

3. 発明の詳細な説明  
(発明の技術分野)

本発明は半導体装置とそのプログラム方法に係り、特に接続手段の接続あるいは接続して用いて好適な半導体装置に関するものである。

(発明の技術的背景とその問題点)

従来半導体装置の冗長素子あるいは汎用素子のプログラムは個々の半導体回路内で利用されている。例えばEPROM, EEPROM, E<sup>2</sup>PROM, d-RAMそしてスタティックRAM等であるがこれに該当されるものではない。これらプログラム可記素子はストアデータあるいはマイクロコードとして使用することができ、システム内のチップのアドレスに適用され、不完全な大きいチップの部分使用を可能にし、回路内の欠点のある素子を代替素子に書き換えることができる。また、製造と特別な場合はアセンブリの発送したあと、任意に回路内に多くの他の永久のあるいは一時的な、プログラムの変更を行うことが可能である。この場合、プログラム可記素子は例えばEPROMあるいはE<sup>2</sup>PROMである。

現在の主なプログラム可能な素子として技術文献から確かめられるように、以下の3つのタイプ

が上げられる。

(1) フューズ・リント方式…、一般には金屬、金  
屬合金、高ドープ半導体層例えば $n^{++}$ 多結晶シリコン、あるいは金屬-半導体合金、がフューズ  
材料として使用される。

(2) フューズを逆に使用する、例えば、非導通状態  
から導通状態へプログラムする様子がある。これ  
はアンチ・フューズと呼ばれている。このような  
様子は例えば多結晶シリコンよりなる2つの $n^{++}$   
領域間に $p^-$ 領域が形成されたものであり、高電  
圧ブレークダウン状態下でこの様子は高抵抗( $10^6 \Omega$ )  
から低抵抗( $10^3 - 10^4 \Omega$ )へ変化しプログラムされ  
る。

(3) EPROMあるいは $E^2PROM$ は、フィールド遮蔽  
注入を必要とし、強度のしきい値を遮蔽に変化し  
て、バイアス条件下的導伝率を変化する。

またプログラム可能な様子の選択に加えて、プロ  
グラム方法の選択もまた問題である。EPROMと  
 $E^2PROM$ の製造に使用されるような電気的方法に  
よってのみプログラムされる EEPROMや $E^2PROM$ の

どの場合でもプログラムすることが可能である。  
次にレーザービーム方法の利点としては、(1)チップ  
上にプログラム回路が必要ない。即ちがプロ  
グラムされたかどうかを確かめるための光金を回  
路は必ずしも必要ない。というのも基板の1方  
へ様子が必ずしも強制される必要がないためである。  
また電気的プログラム方法の欠点は(1)プログラム  
回路のためのチップ面積が必要である。特に、適  
当なプログラム速度を供給するため大きいトラン  
ジスタが必要である。即ちプログラムするため通常  
の動作を位より高い電圧と、外部入力パッドが要  
求されることが多い。(3)プログラムしない状態の  
様子の性能を維持するため、プログラム回路を世  
く保ち、適当な大きさの電界トランジスタが必要  
である。

レーザービーム方法の欠点としては、

(1) プログラム用のなくて複数を複数が要求され  
る。

(2) プログラムはたいへん正確なウェーハーの位置  
決めが必须を困難なステップが要求される。

場合は別としてフューズとアンチフューズプログラム  
方式に使用される2つのより好ましい方法には  
(1)チップ上に作り込まれた特別な回路によって高  
電圧を発し電気的にプログラムを行なう方法と、  
(2)直接熱するか、あるいは、たいへん少くスパ  
ットをしついたレーザ・ビームによって座標無く  
プログラムする方法がある。実際の製造にはまだ  
使われていないが、(2)と実質的に似た方法として、  
発明者の知るかぎり、エレクトロン、イオンあるいは他の非光性エネルギー・ビームによってプログラ  
ムする方法がある。以上述べた電気的プログラム方法とレーザービーム方法には相応と欠点を有  
しており、電気的プログラム方法の利点として、  
(1)プログラムのための特別な装置が要求されない。  
(2)プログラムが容易で早い。(3)テストプログラム  
と再テストが1度の自動ステップでできる。(4)プロ  
グラムがバッジーション膜のあるなしに關係  
なくできる。このことによって信頼性が増す。(5)  
プログラムによる近接様子への損傷を避けること  
ができる。(6)アセンブリのあとあるいは製造中の

(3) テストとプログラムと再テストは別々の3つ  
の操作が要求される。

(4) プログラムされる様子は通常バッジーション  
膜を形成できない。そのため信頼性が低下  
する。

(5) 遠隔様子への損傷を避けるためのプロセス制  
御が必要である。

(6) プログラムは実際ではウェーハーの試作でのみ  
行なうことができ、のちの製造化への障害と  
なる。

等である。

以上述べたようにフューズあるいはアンチフュ  
ーズ方式の電気的プログラムに対して、必要とさ  
れるものは、たいへん少い面積とたいへん低い  
オン電圧である。しかし通常使用されているIC、  
特に、MOSFETでは満足するものではない。一方、  
ナリリストはオン電圧がたいへん高く、少い面  
積を占めるたいへんよいスイッチであるが、CMOS  
プロセスあるいはバイポーラプロセスへはプロセ  
スを修正することなく適用することは確かにと

いう欠点を有している。

また、従来からドチャンネルMOS形トランジスタとNチャンネルMOS形トランジスタよりなる複数のMOSトランジスタ(CMOS)ICでは、IC内で、寄生サイリスタが外米難音によって、ターンオフする現象、即ち「ラッテアップ現象」が知られてきた。このラッテアップ現象はCMOS-ICの誤動作を引き起したり、時には、ICの破壊を引き起す。従って、この現象をとり除くため従来種々の工夫が成されてきた。

#### 〔発明の目的〕

本発明は上記に如きなされたもので、電気的プログラム方法において、従来CMOS-ICの誤動作を引き起していたラッテアップ現象を適切に利用しプログラム回路のための占有面積が少なく、また、プログラム電源を供給するための大きなトランジスタが不要な半導体装置を提供することを目的とするものである。

#### 〔発明の概要〕

本発明の装置は、第1導電型の半導体基板と、

この基板に形成された第2導電型の半導体領域と、前記第1導電型の半導体基板に一対の不純物領域が形成されかつ、第2導電型チャネルを有する第1の電界効果トランジスタと、前記第2導電型の半導体領域に一対の不純物領域が形成されかつ、第1導電型チャネルを有する第2の電界効果トランジスタ及び第2導電型の接続領域と、この接続領域と前記第1の電界効果トランジスタの一方の不純物領域を接続する接続手段と、前記第1の電界効果トランジスタの他方の不純物領域に接続された第1の電源と、前記第2の電界効果トランジスタの一方の不純物領域に接続された第2の電源と、前記第1の電源から第2の電源への電流経路に挿入された接続素子とを具备したことを特徴とする半導体装置である。

尚、本発明において接続素子は単なるフェーズだけでなく、発明の技術的背景で記載したアンチフェーズも包含するものである。

#### 〔発明の実施例〕

以下、実施例に従って本発明を詳細に説明する。

第1図乃至第3図は、本発明の第1の実施例を示す図である。第1図は本発明に係る第1の実施例を示す等価回路図、第2図は本発明に係る第1の実施例を示す横断平面図、第3図は第2図のA-A'に沿って切削した横断面図である。以下、図面において同一箇所は同一符号を付して説明する。また、第1の実施例の構造を第3図に従い説明する。第3図に示すように半導体基板例えは不純物濃度 $10^{15} \text{ cm}^{-3}$ のN型半導体基板(1)に例えれば不純物濃度 $10^{16} \text{ cm}^{-3}$ のPウェル領域(2)が形成され、N型半導体基板(1)には、P型チャネルMOSトランジスタ(Q<sub>1</sub>)が、そしてドウェル領域(2)にはN型チャネルMOSトランジスタ(Q<sub>2</sub>)が形成されている。以下、これらMOSトランジスタをMOS Trと略称する。MOS Tr(Q<sub>1</sub>)のゲートには論理信号P<sub>1</sub>が印加されており、一対の不純物領域の一方の不純物領域例えは不純物濃度 $10^{15} \sim 10^{16} \text{ cm}^{-3}$ のソース領域(4)と半導体基板(1)には第1の電源電圧V<sub>DD</sub>が印加され、他方の不純物領域例えはドウェル領域(2)はPチャネル領域(2)と不純物濃度 $10^{15} \sim 10^{16} \text{ cm}^{-3}$ の領域(6)を介して接

続されている。またMOS Tr(Q<sub>1</sub>)のゲートとドウェル領域(2)にはフェーズ(F)のプログラムの状態を調べるための入出力端子(1N)(0BT)が接続され、不純物濃度 $10^{15} \sim 10^{16} \text{ cm}^{-3}$ のソース領域(4)にはフェーズ(F)を介して第2の電源電圧V<sub>SS</sub>に接続されている。また、第1、第2の電源V<sub>DD</sub>、V<sub>SS</sub>はそれぞれ領域(8)、即ち介してN型半導体基板(1)、Pウェル領域(2)に接続されている。ここでR<sub>N</sub>、R<sub>P</sub>はそれぞれ半導体基板(1)、Pウェル領域(2)に存在する抵抗を表わし、トランジスタQ<sub>1</sub>、Q<sub>2</sub>はそれぞれ、第3図に示す半導体装置に寄生するNPNトランジスタとPNPトランジスタである。

次に、第1図乃至第3図に従い動作について説明する。通常よく知られた回路によって発生された論理信号P<sub>1</sub>によってMOS Tr(Q<sub>1</sub>)はオン、オフする。今、P<sub>1</sub>がローレベルならMOS Tr(Q<sub>1</sub>)はオンし、Pウェル領域(2)に存在する抵抗R<sub>P</sub>を介して、またCMOS構造において固有の寄生NPN Tr<sub>04</sub>のベースを通してPウェル(2)へ電流を供給する。このNPN Tr<sub>04</sub>のベース電流は、となり合うPNP Tr<sub>06</sub>

端子によって形成される寄生サイリスタをトリガし、この寄生サイリスタのオン抵抗は  $10(\Omega)$  以下に設定されているため、 $\alpha^+$  エミッタ時に大きい電流を出し、この出力が端界レベルを超すとフェーズ(2)を遮断し、寄生サイリスタは自動的にオフする。このフェーズがアンティフェーズの場合はブレークダウン電圧を超える必要がある。アンティフェーズの場合の好ましい回路例を第4図、第6図、第8図に示す。このフェーズ(2)が、多結晶シリコン・フェーズの場合、端界電流密度は保護膜がある場合は約  $1.7 \times 10^3 (A/cm^2)$  で保護膜がない場合は約  $7 \times 10^3 (A/cm^2)$  である。フェーズ(2)が導体  $0.25 (\mu m)$ 、巾  $2 (\mu m)$  の場合、フェーズ(2)を遮断する電流は保護膜がある場合は  $85 (mA)$ 、ない場合は  $35 (mA)$  となる。ここで  $MOS Tr(Q_1)$  はトリガ電流を供給するために使われ、 $MOS Tr(Q_2)$  はプログラムが行なわれたかどうかを検査するために使われる。 $MOS Tr(Q_1)$  は  $2 \sim 300 (mA)$  を供給するのに充分大きい必要がある。通常の場合ゲート幅とゲート長の比  $W/L=1$  である。第2図では  $W/L=4$  の場合

遮断電圧は保護膜がある場合は  $21 (V)$  でない場合は  $0.9 (V)$  である。

以上述べたように、従来 CMOS 回路において、好ましくないとされてきたラッタアップ現象を逆に積極的に利用することによって、整流素子の遮断、非整流を制御することが可能である。また、NPN Tr 00 と PNP Tr 00 によって構成されるサイリスタは CMOS トランジスタの寄生素子であるため、プロセスの変更も必要なく、また占有面積も少なくて良い。

本発明において特徴を取る、従来 CMOS IC においてラッタアップ現象を防止するため寄生サイリスタ内の PNP トランジスタと NPN トランジスタ間の電気的絶縁を遮断していたものを本発明では寄生サイリスタをオンさせるため PNP トランジスタ側と NPN トランジスタ側間の電気的絶縁(T)を形成することである。

次に、第2の実施例を第4図、第5図に従って詳細に説明する。第4図、第5図は、フェーズ(2)の第2の遮断端子間にドリュエル(2)の接地端子  $V_{SS2}$

を示している。追加ゲート酸化膜が  $250 \text{ \AA}$  より厚い場合、フェーズ遮断端子を供給するため大きな N チャネル MOS Tr 00 を使う場合、そのゲート幅とゲート長の  $W/L$  比は保護膜がない場合で少なくとも 140、保護膜がある場合で 60 必要である。通常回路マージンを供給するためには  $W/L$  比を実際はもっと大きくする必要がある。それに対し本発明では少なくとも 1 所あるのはそれ以上プログラム回路の面積を減少できた。

第1図に示されるように、付加的な検査用端子はプログラム回路の動作のために必ずしも必要ないものである。しかし、種々の他の実施例において有効に使用される。通常のプログラム回路は遮断電圧  $5 (V)$  で動作できるように設計されるが遮断電圧の遮断を増加例えば  $7 (V)$  を使用する実施例ではやや大きい回路マージンを有することが可能である。これは、フェーズ、特に多結晶シリコンが遮断されるためには遮断だけでなく電圧も要求されるためである。フェーズの最も狭い部分が  $20 \mu m$  の多結晶シリコンフェーズに対する一般的な

に接続されず  $V_{SS2}$  に接続されている場合を示している。この回路は、フェーズ(2)の抵抗が高い場合、特に、アンティフェーズのように、ブレークダウン電圧によって制御される場合、このフェーズの電圧降下のため NPN トランジスタ(2)のエミッタに負荷駆動効果が働き、プログラムのためオンした寄生サイリスタがオフすることを防ぐため NPN Tr 00 のベースに第3の電源  $V_{SS3}$  を接続し、通常動作の時は P ウェル(2)に  $V_{SS3}$  を印加し、フェーズ(2)をプログラムするときに、第3の電源  $V_{SS3}$  をフローティング状態にして、フェーズ(2)による NPN Tr 00 のエミッタ負荷駆動効果を防ぐものである。MOS Tr (Q<sub>2</sub>) は第1の実施例と同様フェーズ(2)が遮断か非遮断かをテストするためのトランジスタである。使用法は  $MOS Tr(Q_2)$  のゲート端子(1N)に電圧を印加し、OUT 端子の電圧値を調べることによってフェーズ(2)の状態を検出できる。

次に第3の実施例を第6図乃至第9図に従って詳細に説明する。第6図と第8図は、第4図に述べたように、フェーズ(2)による NPN Tr 00 のエミッタ

夕負荷過効果を防ぐため第2, 第3の電源電圧  $V_{DD1}$ ,  $V_{DD2}$  を設けないで、第2の電源  $V_{DD}$  のみを設け、フェーズ切替をプログラムする時は、Pウェル領域(2)をオフするために、第6回ではゲートに論理信号Pが印加されたPチャネルのMOS Tr(Q<sub>1</sub>)を、第8回ではゲートに論理信号 $\bar{P}$ が印加されたNチャネルのMOS Tr(Q<sub>2</sub>)を設ける。通常動作の時IC Pウェル領域(2)を効率的に接地電位に落とすために充分低い抵抗、例えば2(KΩ)となるようにゲート氧化膜厚が250(Å)の場合は第6回に示すPチャネルMOS Tr(Q<sub>1</sub>)では、そのゲート幅とゲート長のW/L比を13に、第8回に示すNチャネルMOS Tr(Q<sub>2</sub>)ではW/L比を4.5にすれば良い。

次に第4の実施例を、第10回、第11回に従い説明する。第10回は、 $V_{DD1}$ が余分のパッドによって与えられた回路を示す。プログラムの時は $V_{DD1}=V_{DD2}$ であるが、通常の回路動作の場合は $V_{DD1}=V_{DD}$ である。そして全ての $\bar{P}$ 信号が低レベルになったとき、Pチャネルトライガ用MOS Tr(Q<sub>1</sub>)はオンを保ち、それゆえPウェルへ $V_{DD}$ を供給する。また、Pウ

ェル領域(2)に接地レベルを与えるためにはドナルドチャネルMOS Tr(Q<sub>2</sub>)のW/L比は13.5かそれ以上が望ましい。

次に第5の実施例を第12回乃至第15回に描き、詳細に説明する。第12回、第14回に示す等価回路は、フェーズ切替、あるいはアンティフェーズがサイリスタのV<sub>DD</sub>の側へ接続され、フェーズ側のプログラム状態をアストするためのPチャネルMOS Tr(Q<sub>3</sub>)がフェーズ側のV<sub>DD</sub>側と反対側に接続されている。第14回において、第1の電源V<sub>DD</sub>はV<sub>DD1</sub>とV<sub>DD2</sub>の2つ設けられているが、電源V<sub>DD2</sub>は設らずしも設ける必要はない。というのは、基板領域はいたるところに存在し、多くの箇所で通常接続されるからである。従って付加的に局所に設けられた接続が特別なポイントから見た面積の広がり抵抗を被することはない。

次に第16回、第17回に従い第6の実施例を説明する。第16回は、完全なサイリスタが要求されずCMOSと同一のプロセスの特徴を利用する。プログラム回路を示す。第16回において高い電流増幅

率( $\beta > 100$ )のTr回がフェーズ(3)を遮断するものである。Pチャネルトランジスタ(Q<sub>1</sub>)は、第1回乃至第15回に示した寄生サイリスタの場合より多くの電流を供給しなければならない。そして寄生サイリスタからようどオンするまでではなくプログラムが終了するまでは位をはしつづけられなければならない。フェーズ(3)のプログラム状態はMOS Tr(Q<sub>2</sub>)によって行なわれる。

尚、本回ではN型半導体基板にPウェル領域を形成したCMOS Trの実施例に描き説明したが、これに限定されるものではなく、P型半導体基板にNウェル領域を形成したCMOS Trあるいはバイポーラホモジニア化して構成してもよい。

また、本発明はCMOS製品やバイポーラ製品だけでなく、NMOS製品や、d-HAN, EPHOM, S<sup>2</sup>PHOM製品等へも適用できることは明らかである。

#### (発明の効果)

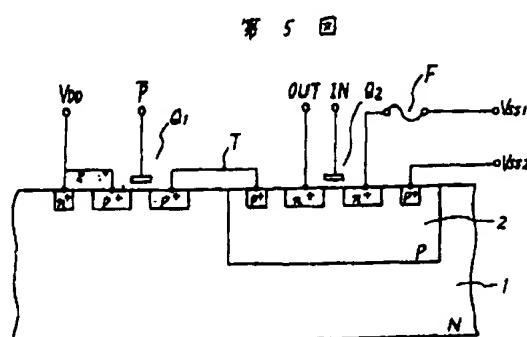
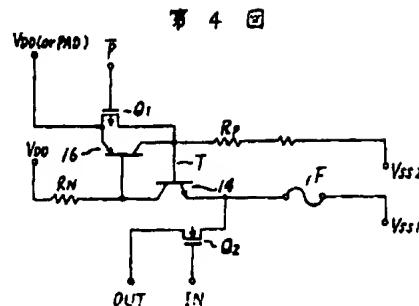
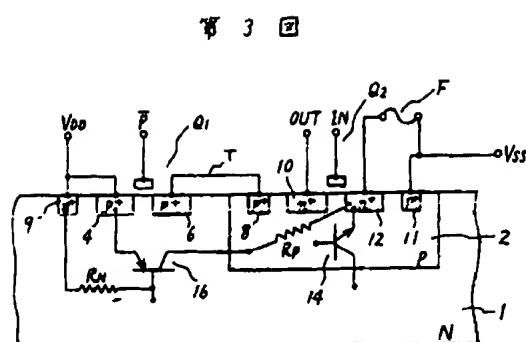
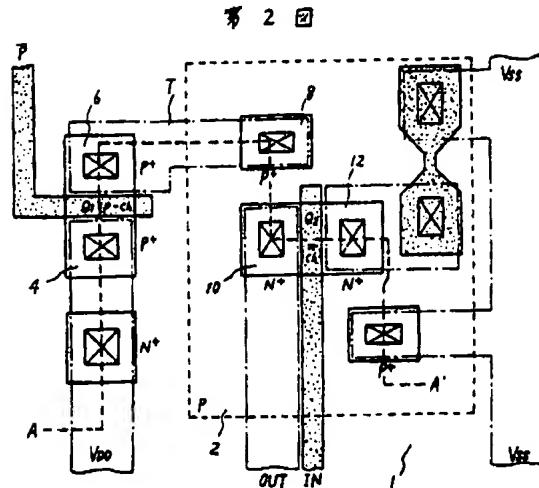
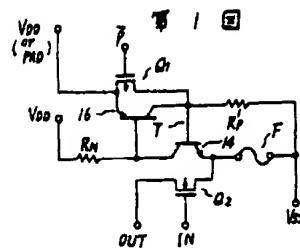
以上、説明したように、本発明によれば、従来相補形MOSトランジスタのラッテアップ構造を積極的に利用して、フェーズあるいは冗長ホモジニア化

するためのプログラム回路の占有面積が少なく、またプログラム電流を供給するための大きなトランジスタが不要な半導体装置を提供するものである。

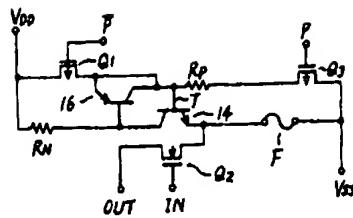
#### 4. 図面の簡単な説明

第1回は本発明に係る第1の実施例を示す半導体装置の等価回路図、第2回は本発明に係る第1の実施例を示す半導体装置の概略平面図、第3回は第2回のA-A'軸に沿って切削した概略断面図、第4回、第6回、第8回、第10回、第12回、第14回、第16回はそれぞれ本発明に係る他の実施例を示す半導体装置の等価回路図、第5回、第7回、第9回、第11回、第13回、第15回、第17回はそれぞれ本発明に係る他の実施例を示す半導体装置の概略断面図である。図において、

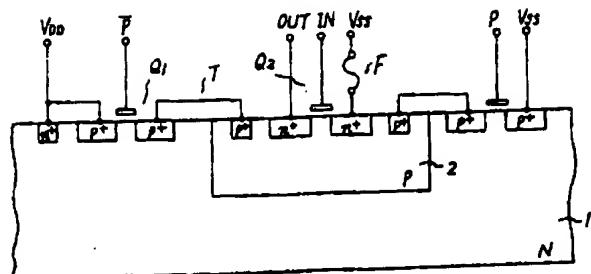
V<sub>DD</sub>…第1の電源、V<sub>SS</sub>…第2の電源、  
 $\bar{P}$ …論理信号、1…半導体基板、  
 2…半導体領域、4, 6, 10, 12…不純物領域、  
 3…接続領域、P…接続素子、  
 Q<sub>1</sub>, Q<sub>2</sub>…電界効果トランジスタ、T…接続手段。



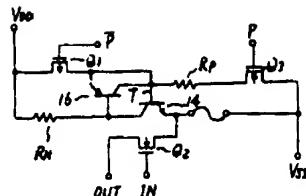
第 6 図



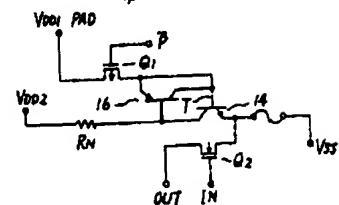
第 7 図



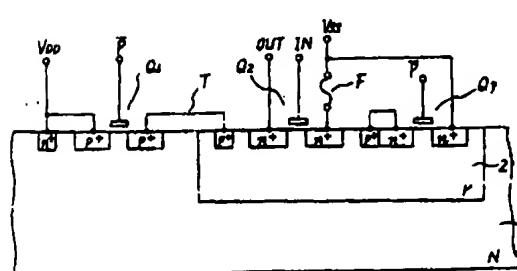
第 8 図



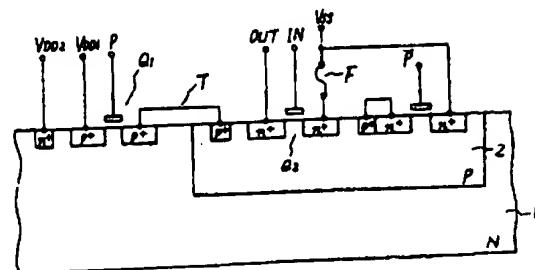
第 10 図

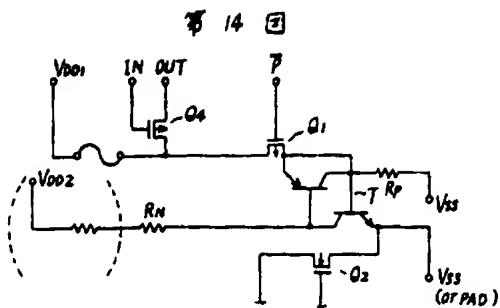
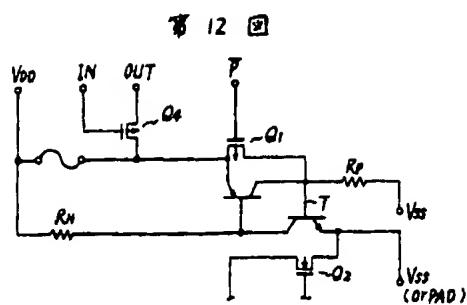


第 9 図

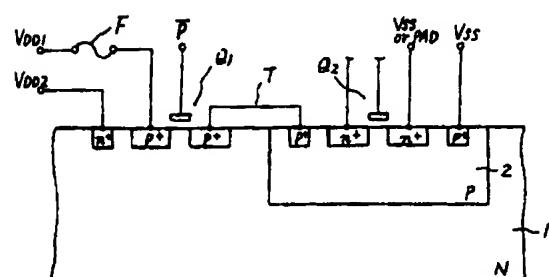
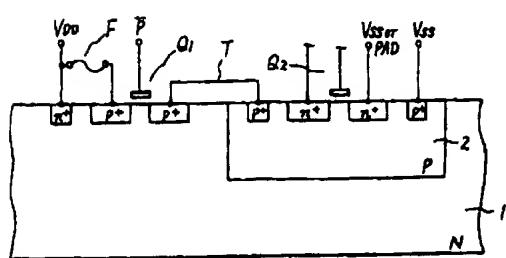


第 11 図

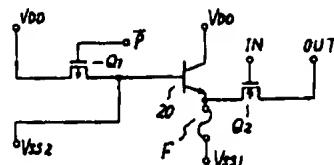




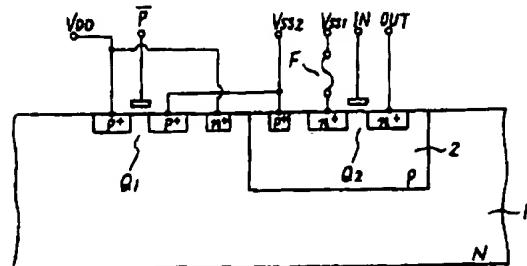
77 13 1



第 16 四

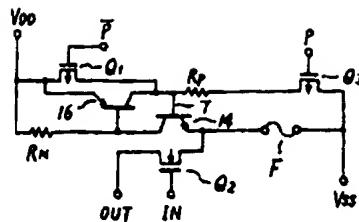


第 17 回



58.6.8 日

第 7 図



特許庁長官致

1. 事件の表示  
特願昭 57 - 214609 号

2. 発明の名称  
半導体装置

3. 指定をする者  
事件との関係 特 許 出願人  
(307) 東京芝浦電気株式会社

4. 代理人

平 100  
東京都千代田区内幸町 1-1-6  
東京芝浦電気株式会社東京事務所内

(7317) 井端士郎 通 藤 佑

5. 指定の対象

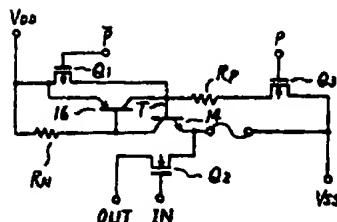
図面



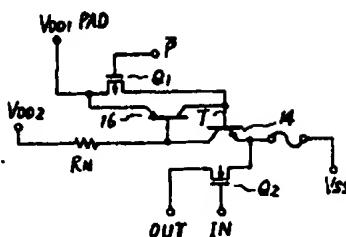
6. 指定の内容

図面の内、第 6 図、第 8 図、第 10 図、第 14 図を別紙のとおり訂正する。

第 8 図



第 10 図



第 14 図

